

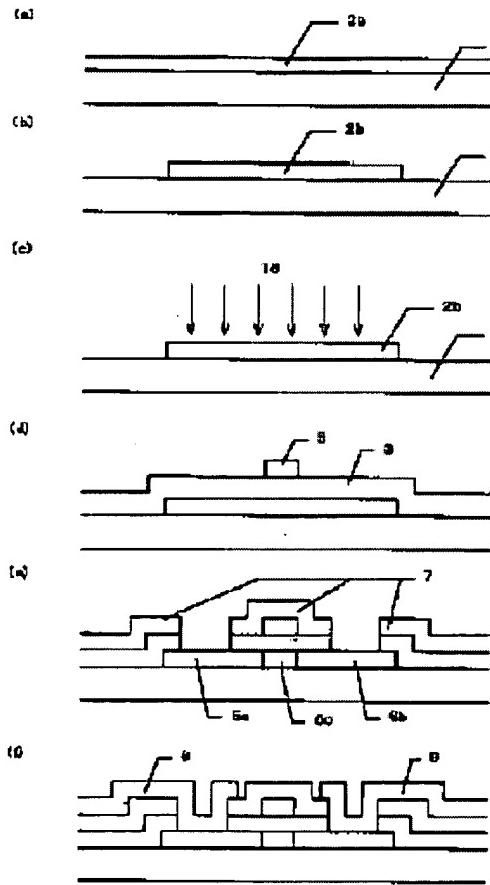
SEMICONDUCTOR DEVICE MANUFACTURE AND INSULATING FILM FORMING EQUIPMENT

Patent number: JP11102907
Publication date: 1999-04-13
Inventor: OGAWA YASUYUKI; GOTO MASAHIKO
Applicant: SHARP CORP
Classification:
 - international: H01L21/316; H01L21/3065; H01L21/31
 - european:
Application number: JP19970261504 19970926
Priority number(s):

Abstract of JP11102907

PROBLEM TO BE SOLVED: To prevent impurities from depositing at the boundary between a semiconductor layer and a gate-insulating film.

SOLUTION: An amorphous silicon (a-Si) film 2a is deposited on the entire surface of a insulating substrate 1 by CVD method and the like. The a-Si film 2a is made to be a polysilicon film (p-Si) by promoting solid phase epitaxy by heating or melting and solidifying the a-Si film 2a by an excimer laser. Next, the p-Si film is patterned with a photoresist film and the like, and a semiconductor layer 2b composed of the p-Si film is formed. Next, a plasma discharge is generated by applying a radio frequency(RF) power of 0.1 to 3.0 kW at an Ar pressure of 0.1 to 1.0 Pa, and reverse sputtering is performed on the semiconductor substrate 2b for 5 to 6 seconds. A SiO₂ film is formed as a gate-insulating film 3 on the entire surface of the insulating substrate 1 through CVD method with tetraethoxysilane(TEOS).



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-102907

(43)公開日 平成11年(1999)4月13日

(51)Int.Cl.⁶

H 01 L 21/316
21/3065
21/31

識別記号

F I

H 01 L 21/316
21/31
21/302

X
B
N

審査請求 未請求 請求項の数4 O.L (全 7 頁)

(21)出願番号 特願平9-261504

(22)出願日 平成9年(1997)9月26日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 小川 康行

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 後藤 政仁

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

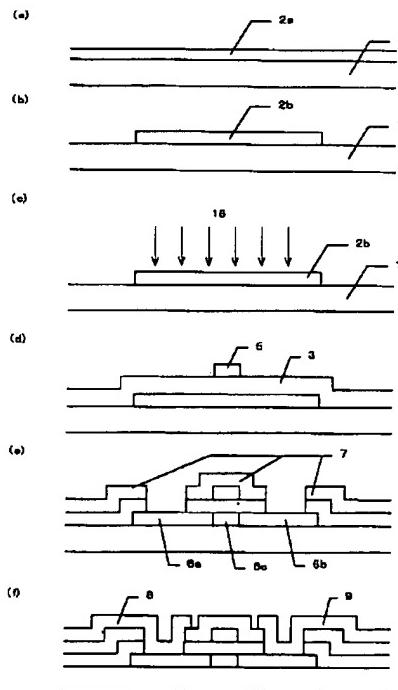
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 半導体装置の製造方法および絶縁膜形成装置

(57)【要約】

【課題】 半導体層とゲート絶縁膜との界面に不純物を付着させることのない半導体装置の製造方法および絶縁膜形成装置を提供する。

【解決手段】 絶縁性基板1上にCVD法等によってa-Si膜2aを全面に被着形成する。このa-Si膜2aに加熱を行って固相成長を促し、またはエキシマレーザーによってa-Si膜2aを溶融、凝固させてp-Si膜とする。次に、このp-Si膜をフォトレジスト膜等を用いてパターニングし、p-Si膜からなる半導体層2bを形成する。次に、0.1~1.0PaのAr圧力において、0.1~3.0kWの高周波電力(RF)を印加することによってプラズマ放電を起こし、5~60secの逆スパッタ処理を半導体層2bに施す。次に、絶縁性基板1の全面に、TEOSを用いたCVD法によってゲート絶縁膜3となるSiO₂膜を形成する。



【特許請求の範囲】

【請求項1】 半導体層表面に絶縁膜を形成する半導体装置の製造方法において、

前記半導体層表面に逆スパッタ処理を施した後、前記半導体層表面を大気にさらすことなく前記絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記逆スパッタ処理は、Ar、Kr、Xeのうち何れかの希ガスを用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記逆スパッタ処理と前記絶縁膜の形成と異なる処理室で行うことを特徴とする請求項1または請求項2記載の半導体装置の製造方法。

【請求項4】 半導体層表面に絶縁膜を形成するための絶縁膜形成装置において、

前記半導体層表面に逆スパッタ処理を施す逆スパッタ処理室と、

前記絶縁膜を形成する絶縁膜成膜処理室と、

前記半導体層表面を大気にさらすことなく前記逆スパッタ処理室から前記絶縁膜成膜処理室に移動させる搬送室とを有することを特徴とする絶縁膜形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置の絶縁選択性のスイッチング素子または液晶駆動用のドライバー素子として用いられる薄膜トランジスタ(TFT)の製造方法に関するもので、特に半導体層の上にゲート絶縁膜を形成する半導体装置の製造方法および絶縁膜形成装置に関するものである。

【0002】

【従来の技術】液晶表示装置は、薄型および低消費電力であることから様々な分野で広く用いられている。このような液晶表示装置のうち、スイッチング素子または駆動素子としてTFTを用いたものは、コントラストが高い、応答速度が速い等の高性能を有しているので、主にパソコンコンピューターの表示部または携帯用テレビ等に利用され、近年市場規模が大きく伸びている。

【0003】また、TFTのチャネル部分の半導体層として多結晶シリコン(p-Si)を用いた液晶表示装置は、従来の非晶質シリコン(a-Si)を用いたものに比べて、さらに低消費電力および高速応答が可能であるという利点を有するので、将来のマルチメディア対応の液晶表示装置として有望視されている。さらに、高速応答の利点を活かして、TFTを液晶表示装置の外周部に設けて液晶駆動用ドライバ-TFTとして用いることにより、同一基板内に表示部とドライバ部を一体形成するモノリシックプロセスにも応用が可能である。

【0004】図6および図7に従来のp-Si TFTの一例を示す。このTFT32は、以下のような構成である。

【0005】ガラス基板21上に、不純物が高濃度にド

ープされたSi層26aおよび26b並びにチャネル部26cからなるp-Si半導体層22bが形成される。

【0006】このp-Si半導体層22bの上を覆うように第1の絶縁膜23が形成され、第1の絶縁膜23上に、チャネル部26cと対向するようにゲート配線24から分岐したゲート電極25が形成されている。さらに、ゲート電極25を覆うように、ガラス基板21のほぼ全面に第2の絶縁膜27が形成されている。

【0007】第1の絶縁膜23および第2の絶縁膜27は、p-Si半導体層22bに達するように一部が除去されている。第2の絶縁膜27の上には、ソース配線30から分岐したソース電極28および画素電極31に接続されたドレイン電極29が形成されており、第1の絶縁膜23および第2の絶縁膜27の除去部においてp-Si半導体層22bに接続されている。

【0008】金属層からなるソース電極28およびドレイン電極29とp-Si半導体層22bとのオーミックコンタクトは、不純物が高濃度にドープされたSi層26aおよび26bが形成されていることによって良好なものとなる。

【0009】このTFT32は、以下のようにして製造される。

【0010】まず、ガラス基板2'1上に化学気相成長(CVD)法によってSi膜を被着形成する。このSi膜を熱アニュールまたはレーザーアニュールによって固相成長させてp-Si膜とする。

【0011】非晶質絶縁基板または非晶質絶縁膜上に、結晶方位の揃った結晶粒径の大きなp-Si薄膜を形成する方法は、SOI(Silicon On Insulator)技術として知られている。そのうちの一つである再結晶化法は、レーザーアニュール等によってSiを溶融再結晶化させる方法と、a-Siを加熱して固相で結晶化させる固相成長法との二つに分類される。どちらの方法も耐熱温度は低いが価格の安いガラス基板を用いることができるが、このガラス基板の耐熱温度以下の低温プロセスを採用すれば、固相成長法では数時間から数十時間の加熱が必要となるため、レーザーアニュール法の方が生産効率が高い。

【0012】次に、このp-Si膜をパターニングしてp-Si半導体層22bを形成した後、p-Si半導体層22b上にスパッタリングによってSiO₂膜を第1の絶縁膜23として被着形成する。

【0013】次に、第1の絶縁膜23上に、AlまたはTi等の金属膜、もしくはリン(P)等の不純物を高濃度に含んだn⁺Si膜を被着し、これをパターニングしてゲート配線24およびゲート電極25を形成する。

【0014】次に、ゲート電極25をマスクとして、p-Si半導体層22bにP等の不純物イオンを高濃度にドーピングし、p-Si半導体層22bに不純物が高濃度にドープされたn⁺Si層またはp⁺Si層26aおよ

び26bを形成する。この場合、ボロン(B)等のIII族元素を不純物として用いるとp⁺Si層が得られ、P等のV族元素を不純物として用いるとn⁺Si層が得られる。

【0015】さらに、ガラス基板21の全面に、スパッタリングによってSiO₂からなる第2の絶縁膜27を形成し、第1の絶縁膜23および第2の絶縁膜27の一部をエッチングすることにより、不純物が高濃度でドープされたn⁺Si層またはp⁺Si層26aおよび26bの一部を露出させてコンタクトホールを形成する。

【0016】その後、Mo、TiまたはAl等の金属膜を被着形成し、これをパターニングしてソース配線30、ソース電極28およびドレイン電極29を形成する。ソース電極28およびドレイン電極29は、それぞれ第1の絶縁膜23および第2の絶縁膜27の除去部、つまりコンタクトホールを通じて不純物が高濃度でドープされたn⁺Si層またはp⁺Si層26aおよび26bの露出部と接するように形成される。

【0017】最後に、ドレイン電極29と接するよう、ITO(Indium Tin Oxide)等の透明導電膜を被着形成して画素電極31を形成する。

【0018】以上のようなTFTの製造方法によれば、p-Si半導体層を形成する際、a-Siを多結晶化する工程およびフォトリソグラフィー技術でパターニングする工程が必要となる。また、不純物イオンをフォトレジストを用いて選択的にドーピングする工程が付加されることもある。これらの工程をすべて真空中で処理することはできず、p-Si半導体層を一時大気にさらさざるを得ない。そのため、p-Si半導体層表面には各種の不純物が付着したり、自然酸化膜が形成されることとなる。

【0019】このため、p-Si半導体層の上に第1の絶縁膜(ゲート絶縁膜)を成膜する工程においては、前処理として濃硫酸による煮沸、希フッ酸による洗浄、純水洗浄および乾燥を行い、ガラス基板およびp-Si半導体層上の有機不純物および自然酸化膜の除去を行っている。

【0020】しかし、前述のようなゲート絶縁膜の前処理では、ウェット処理であるために薬液中の不純物がp-Si半導体層に付着することがあるとともに、前処理とゲート絶縁膜の成膜の間にp-Si半導体層の表面が一旦大気にさらされるため、p-Si半導体層上に大気成分が吸着したり、自然酸化膜が形成されている。

【0021】このように、従来プロセスではp-Si半導体層表面の不純物を完全には除去できず、ゲート絶縁膜とp-Si半導体層との界面にはOH基およびC等の不純物が含まれて界面準位密度の大きな界面となってしまい、膜質、特に電気特性が悪化し、トランジスタ特性を劣化させる原因となっている。さらに、素子の信頼性および特性の安定性を低下させる原因になっている。

【0022】これらの問題点を解決するための方法として、特開平3-289140号公報に開示されているように、半導体層であるa-Si膜を成膜した後、大気中に取り出すことなく連続して600~700°Cの熱処理によって固相成長させ、さらに連続で半導体層表面を酸化させてゲート絶縁膜を形成する製造方法が提案されている。

【0023】

【発明が解決しようとする課題】しかしながら、特開平3-289140号公報に開示されている方法では、半導体層の成膜、固相成長、半導体層表面の酸化によるゲート絶縁膜の形成を連続して処理しているので、ゲート絶縁膜形成後に半導体層のパターニングを行うこととなり、半導体層のパターンエッジ部(側面)にはゲート絶縁膜が形成されていない状態となる。

【0024】このため、半導体層の側面に第2のゲート絶縁膜を形成する必要があり、この第2のゲート絶縁膜を形成する際に半導体層の側面が大気にさらされるため、半導体層の側面に不純物が付着しやすく、半導体層とゲート絶縁膜の界面を連続形成した効果が薄れるという問題点がある。

【0025】また、第2のゲート絶縁膜は、半導体層およびゲート絶縁膜の2層を覆う必要があるため、段差の大きいパターンをカバーすることとなり、良好な被覆性を確保するためには厚く形成する必要がある。したがって、ゲート絶縁膜が2層となって厚いゲート絶縁膜を有することとなり、優れたオン特性を有するTFTを実現することは非常に難しいという問題点がある。さらに、半導体層の側面に形成されているゲート絶縁膜の膜厚が他の部分に比べて薄くなるため、他の部分よりも強い電界がかかって半導体素子を破壊する可能性が高くなるという問題点がある。

【0026】本発明は、以上のような従来の問題点に鑑みられたものであって、半導体層とゲート絶縁膜との界面に不純物を付着させることのない半導体装置の製造方法および絶縁膜形成装置を提供することを目的としている。

【0027】

【課題を解決するための手段】前述した目的を達成するために、本発明の請求項1記載の半導体装置の製造方法は、半導体層表面に絶縁膜を形成する半導体装置の製造方法において、前記半導体層表面に逆スパッタ処理を施した後、前記半導体層表面を大気にさらすことなく前記絶縁膜を形成することを特徴としている。

【0028】請求項2記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、前記逆スパッタ処理は、Ar、Kr、Xeのうち何れかの希ガスを用いることを特徴としている。

【0029】請求項3記載の半導体装置の製造方法は、請求項1または請求項2記載の半導体装置の製造方法に、

において、前記逆スパッタ処理と前記絶縁膜の形成とを異なる処理室で行うこととを特徴としている。

【0030】請求項4記載の絶縁膜形成装置は、半導体層表面に絶縁膜を形成するための絶縁膜形成装置において、前記半導体層表面に逆スパッタ処理を施す逆スパッタ処理室と、前記絶縁膜を形成する絶縁膜成膜処理室と、前記半導体層表面を大気にさらすことなく前記逆スパッタ処理室から前記絶縁膜成膜処理室に移動させる搬送室とを有することとを特徴としている。

【0031】本発明の半導体装置の製造方法によれば、半導体層表面に逆スパッタ処理を施した後、半導体層表面を大気にさらすことなく絶縁膜を形成することにより、半導体層表面に付着した自然酸化膜および不純物を除去し、再び半導体層表面に自然酸化膜および不純物を付着させることなく絶縁膜を形成することができる。このため、界面準位密度の小さい半導体層とゲート絶縁膜との界面を形成することができ、優れた特性を有するTFTを形成することができる。

【0032】さらに、逆スパッタ処理にAr、Kr、Xeのうち何れかの希ガスを用いることにより、半導体層表面に付着した自然酸化膜および不純物の除去を良好に行うことができる。

【0033】さらに、逆スパッタ処理と絶縁膜の形成とを異なる処理室で行うことにより、半導体層表面に付着した自然酸化膜および不純物を除去した後、絶縁膜を形成するまでの間に、再び半導体層表面に自然酸化膜および不純物が付着することをほぼ完全に無くすことができる。

【0034】本発明の絶縁膜形成装置によれば、半導体層表面に逆スパッタ処理を施す逆スパッタ処理室と、絶縁膜を形成する絶縁膜成膜処理室と、半導体層表面を大気にさらすことなく逆スパッタ処理室から絶縁膜成膜処理室に移動させる搬送室とを有することにより、半導体層表面に付着した自然酸化膜および不純物を除去し、再び半導体層表面に自然酸化膜および不純物を付着させることなく絶縁膜を形成することができる。このため、界面準位密度の小さい半導体層とゲート絶縁膜との界面を形成することができ、優れた特性を有するTFTを形成することができる。

【0035】

【発明の実施の形態】図1乃至図5を用いて、本発明の実施の形態について説明する。図1は本発明に係わるTFTを示す平面図、図2は図1のA-A線における断面図、図3は図1に示すTFTの製造工程を示す断面図、図4は図3の続きを示す断面図、図5は本発明に係わる絶縁膜形成装置の構成を示す概念図である。

【0036】図1および図2に示すように、TFT12は以下のような構成である。

【0037】石英基板またはガラス基板からなる絶縁性基板1上に、p-Siからなる半導体層2bが形成さ

れ、半導体層2bの上を覆うようにSiO₂等からなる第1の絶縁膜(ゲート絶縁膜)3が形成されている。ゲート絶縁膜3上の半導体層2b上方には、チャネル部6cと対向するようにゲート配線4から分岐したゲート電極5が形成されている。さらに、ゲート電極5を覆うように、絶縁性基板1のほぼ全面にSiO₂等からなる第2の絶縁膜7が形成されている。

【0038】ゲート絶縁膜3および第2の絶縁膜7は、半導体層2bに達するように一部が除去されている。第2の絶縁膜7の上には、ソース配線10から分岐したソース電極8およびITO等からなる画素電極11に接続されたドレイン電極9が形成されており、ゲート絶縁膜3および第2の絶縁膜7の除去部において半導体層2bに接続されている。

【0039】金属層からなるソース電極8およびドレン電極9と半導体層2bとのオーミックコンタクトは、不純物が高濃度にドープされたSi層6aおよび6bが形成されていることによって良好なものとなる。

【0040】このTFT12は、以下のようにして製造される。

【0041】まず、図3(a)に示すように、ガラス基板等からなる絶縁性基板1上にCVD法等によって厚み30~150nmのa-Si膜2aを全面に被着形成する。このa-Si膜2aに、例えば600°C 24時間の加熱を行って固相成長を促し、または100~500mJ/cm²のエキシマレーザーによってa-Si膜2aを溶融、凝固させてp-Si膜とする。

【0042】次に、図3(b)に示すように、このp-Si膜をフォトレジスト膜等を用いてパターニングし、p-Si膜からなる半導体層2bを形成する。尚、a-Si膜2aをパターニングした後、p-Si膜からなる半導体層2bとしてもかまわない。

【0043】次に、図3(c)に示すように、0.1~1.0PaのAr圧力において、0.1~3.0kWの高周波電力(RF)を印加することによってプラズマ放電を起こし、5~60secの逆スパッタ処理を半導体層2bに施す。希ガスとしてはKrまたはXeでもかまわないが、スパッタ率に大差がないことおよび価格が安価なことからArが工業的に使いやすい。

【0044】希ガスプラズマ18にさらされた半導体層2bは、スパッタリング現象によって半導体層2b表面が物理的に削られ、半導体層2b表面に付着している自然酸化膜および不純物が除去されるため、清浄な半導体層2b表面が現れる。希ガスプラズマ18は、ガス圧力、印加電力およびプラズマ処理時間をコントロールすることにより、半導体層2bのダメージを最小限に抑えつつ、数nm以下といわれる非常に薄い自然酸化膜および不純物を除去できる。条件の一例としては、Ar圧力0.4Pa、RFパワー0.5kW、処理時間30secにおいて、約2nmの厚さで半導体層2b表面を削る

ことができる。

【0045】次に、図3(d)に示すように、絶縁性基板1の全面に、TEOS (Tetra Ethyl Ortho Silicate) を用いたCVD法によってゲート絶縁膜3となるSiO₂膜を厚み50~200nmで形成する。そして、ゲート絶縁膜3上に、AlまたはTi等の金属膜、もしくはP等の不純物を高濃度に含んだn⁺Si膜を被着し、これをパターニングしてゲート配線(図3には図示せず)およびゲート電極5を形成する。

【0046】次に、図3(e)に示すように、ゲート電極5をマスクとして、半導体層2bにP等の不純物イオンを高濃度にドーピングし、半導体層2bに不純物が高濃度でドープされたn⁺Si層またはp⁺Si層6aおよび6bを形成する。この場合、B等のIII族元素を不純物として用いるとp⁺Si層が得られ、P等のV族元素を不純物として用いるとn⁺Si層が得られる。不純物が高濃度でドープされたSi層6aおよび6bに挟まれた領域がチャネル部6cとなる。

【0047】さらに、絶縁性基板1の全面に、CVD法等によってSiO₂からなる第2の絶縁膜7を厚み500nmで形成し、ゲート絶縁膜3および第2の絶縁膜7の一部をエッチングすることにより、不純物が高濃度でドープされたn⁺Si層またはp⁺Si層6aおよび6bの一部を露出させてコンタクトホールを形成する。

【0048】次に、図3(f)に示すように、Mo、TiまたはAl等の金属膜を被着形成し、これをパターニングしてソース配線(図3には図示せず)、ソース電極8およびドレイン電極9を形成する。ソース電極8およびドレイン電極9は、それぞれゲート絶縁膜3および第2の絶縁膜7の除去部、つまりコンタクトホールを通じて不純物が高濃度でドープされたn⁺Si層またはp⁺Si層6aおよび6bの露出部と接するように形成される。

【0049】最後に、図4(g)に示すように、ドレイン電極9と接するように、ITO等の透明導電膜を被着形成し、パターニングを行うことによって画素電極11を形成する。

【0050】このようにして形成されるTFT12は、液晶表示装置の画素のスイッチング素子として用いられるだけでなく、液晶表示装置の外周部に形成して液晶駆動用のドライバ-TFTとして用いることもできる。この場合には、画素電極11を形成する必要はない。

【0051】以下に、図5を用いて逆スパッタ処理および絶縁膜の成膜処理を連続して行うことができる絶縁膜形成装置について説明する。

【0052】ローダー13、アンローダー14、逆スパッタ処理室15、絶縁膜成膜処理室16および搬送室17を有し、ローダー13から投入された絶縁性基板は、逆スパッタ処理室15にて逆スパッタ処理を施され、真

空中に保たれた搬送室17を通って絶縁膜成膜処理室16に移され、絶縁膜成膜処理を施されてアンローダー14から外部へ払い出される。

【0053】このように、同一装置内に逆スパッタ処理室15および絶縁膜成膜処理室16を設けることにより、半導体層表面に付着している自然酸化膜および不純物を除去した後、大気にさらすことなく清浄な半導体層表面に絶縁膜を形成することが可能となる。また、逆スパッタ処理室15と絶縁膜成膜処理室16とを分けることにより、半導体層への不純物の付着をほぼ無くすことができる。

【0054】以上のように、本実施の形態においては、液晶表示装置に用いられるTFTについて説明したが、通常のMOSトランジスタ、バイポーラトランジスタ、ヘテロ接合バイポーラトランジスタ等の薄膜を利用した素子にも本発明を利用することができる。また、三次元デバイスのようなSOI技術を利用した素子にも本発明を利用することができる。

【0055】

【発明の効果】以上の説明のように、本発明の半導体装置の製造方法によれば、半導体層表面に逆スパッタ処理を施した後、半導体層表面を大気にさらすことなく絶縁膜を形成することにより、半導体層表面に付着した自然酸化膜および不純物を除去し、再び半導体層表面に自然酸化膜および不純物を付着させることなく絶縁膜を形成することができる。このため、界面準位密度の小さい半導体層とゲート絶縁膜との界面を形成することができ、優れた特性を有するTFTを形成することができるため、ドライバ回路を同一基板上に集積したアクティブマトリクス液晶表示装置に用いた場合にも、十分に安定した動作が実現される。

【0056】さらに、逆スパッタ処理にAr、Kr、Xeのうち何れかの希ガスを用いることにより、半導体層表面に付着した自然酸化膜および不純物の除去を行なうことができる。

【0057】さらに、逆スパッタ処理と絶縁膜の形成とを異なる処理室で行うことにより、半導体層表面に付着した自然酸化膜および不純物を除去した後、絶縁膜を形成するまでの間に、再び半導体層表面に自然酸化膜および不純物が付着することをほぼ完全に無くすことができる。

【0058】本発明の絶縁膜形成装置によれば、半導体層表面に逆スパッタ処理を施す逆スパッタ処理室と、絶縁膜を形成する絶縁膜成膜処理室と、半導体層表面を大気にさらすことなく逆スパッタ処理室から絶縁膜成膜処理室に移動させる搬送室とを有することにより、半導体層表面に付着した自然酸化膜および不純物を除去し、再び半導体層表面に自然酸化膜および不純物を付着させることなく絶縁膜を形成することができる。このため、界面準位密度の小さい半導体層とゲート絶縁膜との界面を

形成することができ、優れた特性を有するTFTを形成することができるため、ドライバ回路を同一基板上に集積したアクティブマトリクス液晶表示装置に用いた場合にも、十分に安定した動作が実現される。

【図面の簡単な説明】

【図1】本発明に係わるTFTを示す平面図である。

【図2】図1のA-A線における断面図である。

【図3】(a)～(f)は図1に示すTFTの製造工程を示す断面図である。

【図4】(g)は図3の続きを示す断面図である。

【図5】本発明に係わる絶縁膜形成装置の構成を示す概念図である。

【図6】従来のTFTを示す平面図である。

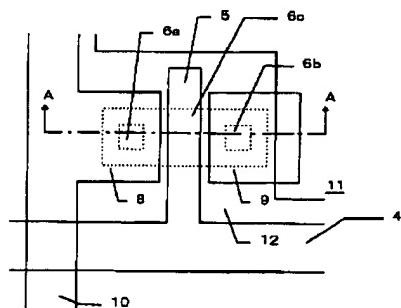
【図7】図6のB-B線における断面図である。

【符号の説明】

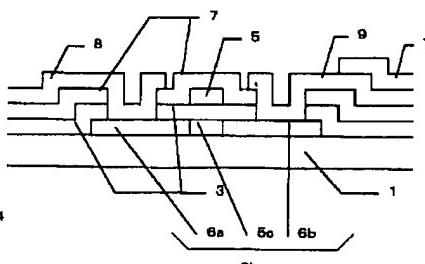
- | | |
|-------|-------------------|
| 1 | 絶縁性基板 |
| 2a | a-Si膜 |
| 2b | 半導体層 |
| 3 | 第1の絶縁膜（ゲート絶縁膜） |
| 4 | ゲート配線 |
| 5 | ゲート電極 |
| 6a、6b | 不純物が高濃度にドープされたSi層 |
| 6c | チャネル部 |
| 7 | 第2の絶縁膜 |

- | | |
|---------|-------------------|
| 8 | ソース電極 |
| 9 | ドレイン電極 |
| 10 | ソース配線 |
| 11 | 画素電極 |
| 12 | TFT |
| 13 | ローダー |
| 14 | アンローダー |
| 15 | 逆スパッタ処理室 |
| 16 | 絶縁膜成膜処理室 |
| 17 | 搬送室 |
| 18 | 希ガスプラズマ |
| 21 | ガラス基板 |
| 22b | p-Si半導体層 |
| 23 | 第1の絶縁膜（ゲート絶縁膜） |
| 24 | ゲート配線 |
| 25 | ゲート電極 |
| 26a、26b | 不純物が高濃度にドープされたSi層 |
| 26c | チャネル部 |
| 27 | 第2の絶縁膜 |
| 28 | ソース電極 |
| 29 | ドレイン電極 |
| 30 | ソース配線 |
| 31 | 画素電極 |
| 32 | TFT |

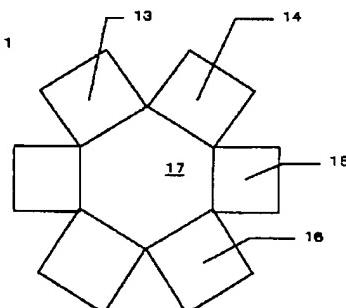
【図1】



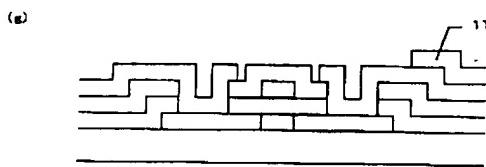
【図2】



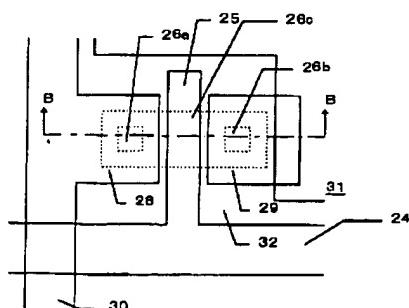
【図5】



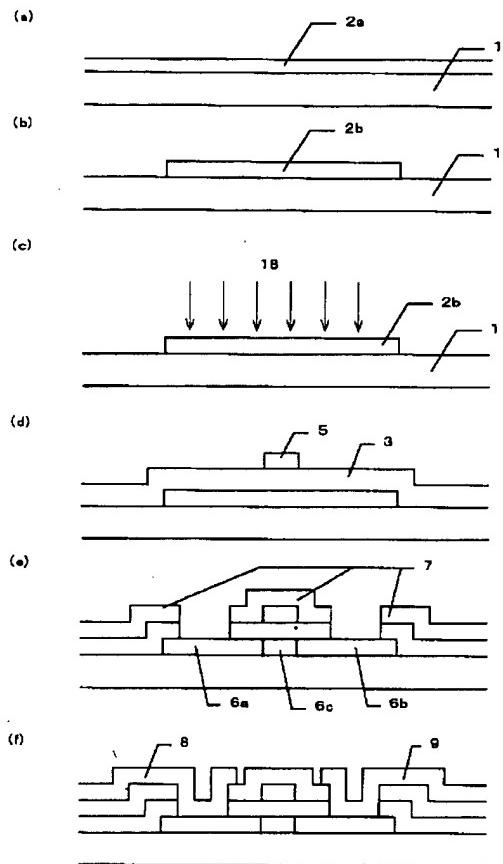
【図4】



【図6】



【図3】



【図7】

